

# 電子負荷の製作(設計編)

どうも初めまして。初めてお呼ばれして書かせていただく事になった@cronos\_sv です。普段は通信関連のハード設計をやっています。今後ともよろしくです。

今回は、自分好みの電子負荷(定電流負荷。ダミーロード)を作りたい！という事で、電子負荷を設計するにあたり、cronos さんが何を考えて設計を進めているか…について書いてみようと思います。

cronos さんは数式が嫌いなので、あまり数式は登場させません。面倒だし。

## 1. 動機

という事で、電子負荷が欲しいのだ。

世の中にや電子負荷は製品として沢山リリースされているし、それ買えば性能も出ているしお手軽じゃないの。…と思う所です。が、よく性能を見ていくと、800W! だのと、個人じゃ使う事のない大負荷にターゲットを当てている製品ばかり。俺は大きくても 100~150W 位のでもいいのに。と思う訳であります。

※最近、定格 36W という小さい容量の出ちゃいましたね。 cronos さんは一時モチベーションを失う直前まで落ちました。ぐぬぬ。

それじゃどうして大容量じゃ困るのか。大は小を兼ねないのか。という所ですが。

D/A(Digital to Analog)コンバータという機能の部品があります。名の通り、"ある範囲の"デジタル数を、"ある範囲の"アナログ値に変換するものです。これを使った電子負荷は、当然"ある範囲"の中に、全負荷範囲が収まらなくちゃなりません。そりゃそうです。範囲外の所は指定出来ませんから。困るのは、この範囲が有限だという点です。

例えば、最大電流 400A の電子負荷があったとしましょう。D/A コンバータの分解能(0~100%を何分割するか)が 16bit(65535 分割)だったとすると、単純には  $400[A] \div 65535 = 6.1\text{mA}$  となってしまうですね。これじゃあ困る。LED が煌々と光っちゃいますよ。

※実際は"レンジ切り替え"という技術を使って分解能を稼ぐ手があります。車でいうシフトチェンジやね。が、当然回路も部品数も増えちゃう。そこまでやってる製品は高いのだよ…。

やっぱ必要十分の電流範囲に留めておくのが無難なわけです。

//-----

Title: 電子負荷の製作(設計編) // 書いたひと :@cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

## 2. 仕様を決める

設計するにあたり、まず最初に何をすべきか。部品を選ぶ？筐体のデザインを考える？のんのん。まずは機能要件を書くところから始めます。ざっと書くところな感じだと思います。↓

### 1. 要件定義

具体的にどんなものを作りたいのか？定電流だけデキリゃ良いのか。定電圧・定抵抗・定電力までやるのか。そういった方針を大まかに決める程度で良いので決める。これをやらないで進めると、コンセプト自体が揺らいでしまってモノが完成しません。

### 2. 仕様策定

電子負荷として見た電流分解能、耐圧等の詳細は？外装のサイズ・デザインどうしよう。電源供給の方法は？ユーザにはどういう操作をどういう方法でさせるんだ？等々、脳内の妄想を隅から隅まで具体化します。大体メモ用紙に色々描きながらやっています。

### 3. 実装方針立案

ハードはブロック図を使った方法が分かりやすいかも知れません。例えば表示部分(の箱)・電源(の箱)・電流制御部(の箱)を書いて、その箱の中に、もっと具体的にした箱を描き入れていくようにすると見通しが付けやすいと思います。UIは絵を描く事が、ソフト(ファームウェア)は機能の流れを書く事が(cronosさんは)多いです。

### 4. 設計(回路)

本業では、2と3の間に機能設計書書きがあります。これに一番時間を掛けるんですが、なかなか思うように進まないツライ工程。今回は個人プロジェクトという事でいきなりブロック図引いちゃいます。

### 5. 設計(基板パターン)

ここは場合に依ります。プリント基板を起こす場合は必須。ちょっとした小技を紹介しようと思います。常識かも知れないけど。

### 6. 基板・部品発注

### 7. 組立て・評価・完成 (これは機会があったらまた。)

//-----  
Title: 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv  
mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

### 3. 行程

#### 3.1：要件定義

シンク(吸い込み)型定電流源をベースに、印加電圧・電流を測定出来る機能を設けます。表示部分は無し。USB 経由で PC と接続するか、非同期シリアル経由で別コントローラと通信する事で、表示部分の拡張が可能な構成としましょう。

単体では定電流制御(CC)にのみ対応、外部コントローラ接続によって定電圧制御(CV),定電力制御(CP),定抵抗制御(CR)に対応出来る事とします。

#### 3.2：仕様策定

開発対象：定電流制御型電子負荷

電源電圧：5V±5%

耐圧：30V / 300V (どちらか片方選択。切替は行わない。)

設定電流：0～5.0A

許容印加電力：150W

電流分解能：1mA/Step

電流設定精度：TBD (^^;

電圧分解能：100uV

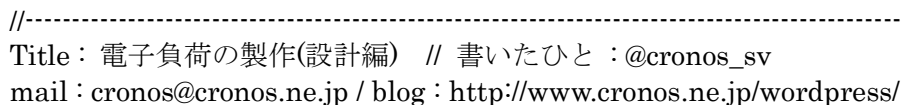
通信(USB)：USB シリアルにて仮想 COM ポートから ascii コマンドにて操作。

電流モニタ範囲：0～6.82A(F.S)

電圧モニタ範囲：35.08V(F.S) / 332.4V(F.S)

//-----  
Title：電子負荷の製作(設計編) // 書いたひと：@cronos\_sv  
mail：cronos@cronos.ne.jp / blog：http://www.cronos.ne.jp/wordpress/

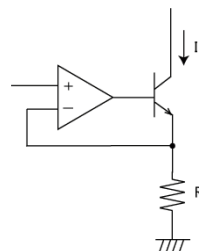
## ●ブロック図



### 3.4 : 回路設計

根本のアイデアは、OpAMP と Tr を使った定電流回路です。これを骨にして、拡張していきます。(右図)

このタイプの電子負荷は、入力された電流を FET で熱として排出する事で機能します。R の両端電圧が OpAMP の+側入力電圧となるように制御してくれる便利な回路なのですが、次のように色々問題があります。



#### ・ GND 電位差による誤差が出る。

OpAMP の入力電圧とは、( $V_{in}$  - "OpAMP の GND")間の事を指しますよね。

右図の R 両端電圧とは、R の上側(OpAMP のマイナス側端子電圧)と、下側(GND。ここが曲者)の間の電圧の事です。

"OpAMP の GND"と、R の下側(GND)は必ずしも同電位ではありません。プリント基板のパターンも、銅箔なので必ず抵抗を持ちます。いくら太くしたとしても、抵抗を持つ事には変わりはありませんよね。そして、そこに電流が流れる事によって( $V=IR$ )だけの電位差が発生します。そのため、冒頭で話したように"R の両端電圧が OpAMP の+側入力電圧となるように制御"しているつもりでも、GND の間に発生する電位差によって誤差が出てしまう訳です。まずこれを補正出来るような工夫を考えなくてはなりません。

単純に考えると GND の電圧を信用せずに、 $V_{in}$  を出す部品の電圧と R の両端電圧をそれぞれ"端子間電圧"として取ってあげる事で解決しそうです。そう、テストで抵抗の両端電圧を測るような感じで。

OpAMP1 個でそんな事が出来るのでしょうか。実は差動増幅回路という回路方式で実現出来ちゃいます。

#### ・ $I_B$ (ベース電流)流入による設定誤差が出る。

バイポーラトランジスタ(2SCxxx とか。)は、電流増幅率(hfe)というパラメータに基づいて増幅する機能をもつ部品ですよね。

$$I_c(\text{コレクタ電流}) = I_b(\text{ベース電流}) \times hfe$$

上記の定電流回路の場合、 $I_b$  は OpAMP から来ます。

では、この  $I_b$  はどこに流れるんでしたっけ。…エミッタ側ですよ。という事は、hfe が低い…例えば 10 とかの Tr を使うと、電子負荷を 5A に設定したつもりでも、実際は 4.545A しか流れてくれず、約 9%

//-----

Title : 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

も誤差が出てしまう結果になります。 そりゃそうです。 Ib は例外なく R に流れている訳ですから、Ib の分だけ、コレクタから引き込む電流は減ってしまう訳です。

$I_{control}(\text{設定電流}) = I_R(R \text{ に流れる電流}) \cdots \textcircled{1}$  (※OpAMP による制御にて)

$I_R = I_{input}(\text{電子負荷が外部から受け取る電流}) + I_b(I_R \text{ のベース電流}) \cdots \textcircled{2}$

①と②から、 $I_{control} \neq I_{input}$  となる事がわかります。

誤差要因は Ib です。

じゃあどうするか。 Ib=0 にすりゃ良いですね。

バイポーラトランジスタで、Ib=0 で済むなんて事は起き得ません。 hfe が無限大になっちゃいますからね。 代わりに、FET を使います。

FET は、制御する電流のパラメータは、Ib の代わりに Vgs(ゲートソース間電圧)となります。 Vgs は、先の①にも②にも登場しないので、誤差要因にはならなそうです。

#### ・ 閉ループの位相遅れによる発振が起こる。

実はこの回路、部品の選び方に依っては簡単に発振します。

閉ループを作っている OpAMP の出力信号が、OpAMP のマイナス入力に届くまでに時間差(位相差)があって、位相差が 180 度を越えた所で、ループゲインが 1 以上だと、発振します。

何を言っているのか って話ですが、信号がある周波数まで高くなると OpAMP さんは電流を増やしたつもりなのに、帰ってきた結果が減っているように見えてしまい、OpAMP さんは更に電流を増やす操作をします。 次の瞬間、結果が予定より大きくなっていくので、OpAMP さんは電流を絞る方向に操作します。 また行き過ぎる。 これがずっと続いてしまい、収束しなくなってしまう。というのがメカニズムです。 位相差が付くのは仕方が無いので、位相が遅れてくる周波数域で、OpAMP の閉ループゲインを殺してあげます。(位相補償)

OpAMP の出力とマイナス入力を直接接続した場合、細かい事を抜きにするとプラス側入力の電圧と、出力電圧は同じになります。つまりゲイン 1 です。

周波数が上がって来たら、出力の信号をマイナス側に漏らしてあげればゲインが下がってくれる訳です。

という事で、OpAMP の出力端子と、マイナス入力の間に HPF(高い周波数を通過するフィルタ)を入れてあげます。 これで発振条件を崩してあげる事で位相遅れによる発振を回避する事が出来ます。

//-----

Title: 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

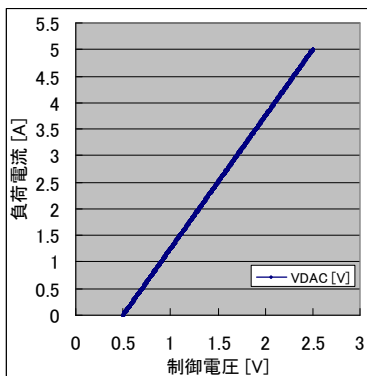
ただこれ、補正し過ぎると、いつまで経っても設定値に収束しないなんて事になります。 プラス入力に矩形波を入れて、出力の波形を見る事で補正が適正かどうかを判断出来ます。 NF 回路設計ブロック社の FRA を使うと、閉ループのゲイン - 位相特性をグラフとして得る事が出来ます。 とても便利です…が、個人で買うには高いですね。軽自動車 1 台くらいのオネダンです (^-^);

・ 出力が完全に 0 にならない。

OpAMP のプラス側入力を 0 にすりゃ 0 になるだろ と思ってしまいがちなのですが、OpAMP は、入力端子の電圧が電源電圧( $V_{cc}$  と GND 共)に近くなると誤差が出るんですよ。

要は、OpAMP が精度良く動作するには、 $V_{cc}$  or GND と入力電圧の間にある程度の電圧差が必要なんですね。

入力が 0V の時に 0A となるような設計をしていると、この問題に引っかけられます。 勿論 GND を 0V ではなく、負の…-2V とかにしてあげれば ok なのですが、それだけの為にわざわざ、-2V なんて電圧を作りたくは無いです。 解決方法はもう 1 つあります。 0V で 0A ではなく、例えば 0.5V で 0A となるような回路にする事で、入力端子の電圧と GND 間の電圧を稼ぐ事が出来ます。(下記グラフのような感じ) 要は、0~0.5V は 0A のまま、0.5~2.5V で 0~5A となるように仕向けるのです。これは、GND 電位差の所で紹介した差動増幅回路で実現出来ます。



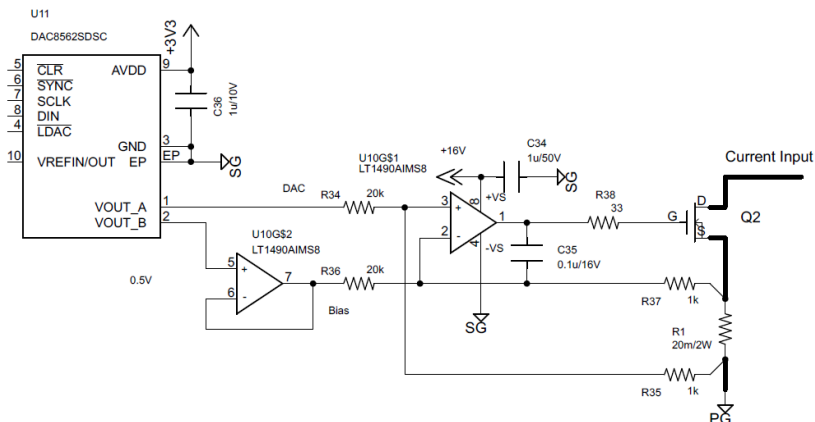
制御電圧－負荷電流対応

//-----

Title : 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

ここまでの課題についてケアすると、以下のような回路になってきます。OpAMP と 4 本の抵抗(R34,R35,R36,R37)によって GND 電位差由来の誤差、GND レール付近の誤差が、C35 と R37 によって位相補償が、Q2 をバイポーラ Tr から FET にする事で Ib による誤差が、VOUT\_B から出る電圧での制御電圧のシフトによって、0V 付近の誤差が、それぞれ解決できます。



電流ドライバ部回路

今回のような電流ドライバ回路は、抵抗に電流を流す事で発生する両端電圧が設定値となるように制御するものです。  
 という事は、R1 には負荷電流に相当する大きな電流が流れるはずです。  
 抵抗を選ぶ中で、特に気を付けなければならないのは、許容電力です。  
 電流ドライバの能力的には 6.82A(Max)の電流が流せます。  
 抵抗に発生する電力は、以下の式となります。

$$P[W] = I[A]^2 \times R[\Omega] = 6.82^2 \times 0.02 = 0.93 [W]$$

…結構大きな電力損失が発生しますね。

cronos さんは、抵抗を選ぶ時必ず抵抗の定格電力から 2 倍の余裕を見て抵抗を選んでます。 ということで、2W 品を指定しました。

電力損失が出るという事は発熱しますので、TCR(Temperature Coefficient of Resistance , 抵抗値温度係数)の小さい物を選びたいところです。

//-----

Title：電子負荷の製作(設計編) // 書いたひと：@cronos\_sv

mail：cronos@cronos.ne.jp / blog：http://www.cronos.ne.jp/wordpress/



・ 電流制御用 FET の選定

FET には最大 5[A] , 電圧として最大 30[V] が掛かります。  
単純に  $P = I \times V = 5[A] \times 30[V] = 150[W]$  発熱します。  
今回は ST 社の STW11NM80(800V,8A,150W) が手持ちで有ったのでこれを使いますが、Nch で、定格が合えば何でも使えるでしょう。  
このデバイスは、5A 流すのに gate 電圧が 7.5V 以上必要と、ちょっと高めなので OpAMP の供給電圧は 7.5V 以上である必要があります。定格 5V の OpAMP は使えませんね。 12V 系の FET も使えるよう、OpAMP の供給電圧は 16V にしてみました。  
耐圧は問題なし、電流も ok です。 が、150W 定格のデバイスに 150W 食わすとちょっと良くない事があります。

要は 150W 食わせた時に、FET が一体何度になるか。という話です。  
デバイスの温度は、入力される電力と、熱抵抗のかけ算で決まります。  
 $R_{thjC}(\text{半導体チップ-ケース間熱抵抗}) = 0.83[^\circ\text{C}/\text{W}]$

$T_a = 30[^\circ\text{C}]$  (ambient Temperature … 室温)

$\text{Temp}[^\circ\text{C}] = (\text{Pin} [\text{W}] \times R_{thjC}) + T_a = (150[\text{W}] \times 0.83[^\circ\text{C}/\text{W}]) + 30$   
 $\div 154.5^\circ\text{C}$

一般的に、シリコン系の半導体は  $T_j$  (チップ温度)が  $150^\circ\text{C}$  を超えたら壊れてると考えた方が良いです。…これじゃ駄目ですね。

FET を並列接続したらどうでしょうか。

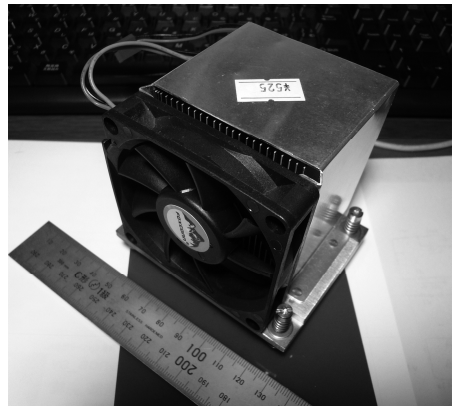
2 パラ =  $92.25^\circ\text{C}$  , 3 パラ =  $71.5^\circ\text{C}$

2 パラでも問題無いかも知れません。

cronos さんは、半導体の  $T_j$  についてディレーティング率(軽減率)を 50%取る事にしているので、3 パラする事になるでしょう。

トータル 150W も発熱する FET をどうやって冷却するか。結構難しいと思います。

秋葉をプラプラしてると、CPU 用ヒートシンクのジャンクにありつける事があります。これを利用しない手はありません。  
こんなヒートシンクを新品で買おうとしたら数千円は持って行かれますが、今回は 525 円でゲット出来ました。



ヒートシンク

//-----

Title : 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

## ・電流モニタ部

電流ドライバ部の電流検出抵抗(上記回路図中の R1)両端に

$$V = I \times R$$

だけの電圧が発生しますので、これを利用します。

この両端電圧を、ADC の入力電圧範囲に丁度合うように増幅してやります。

今回、電流検出抵抗は 20mΩ を選びました。電流は最大 5A です。

ADC は、入力電圧範囲が 0～2.048V の範囲で、GND の影響を避けるためにオフセットを 0.5V 掛ける予定なので…

$$(2.048[V] - 0.5[V]) \div (0.02 [\Omega] \times 5 [A]) = 15.48[\text{倍}]$$

増幅率は 15 倍が良さそうです。

抵抗両端の電圧を測定するには、電流ドライバの部分で使ったような抵抗 4 本と OpAMP を使った回路もありますが、今回は Instrumentation AMP(計装アンプ)を使ってみようと思います。

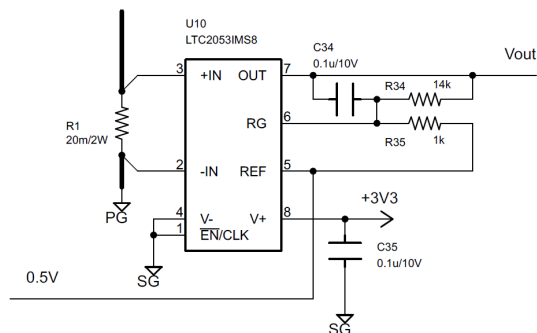
この用途で使える IA は、メーカーから沢山リリースされていますが今回は LT 社の LTC2053 というデバイスを使います。

ゼロドリフトで出力電圧にオフセットが付けられたりと高機能なデバイスです。増幅率は 15 と決めましたので、まずはこれを設定します。

$$G = (1 + (R34 \div R35)) = (1 + (14k[\Omega] \div 1k[\Omega])) = 15[\text{倍}]$$

後は 0.5V のオフセットを掛けりゃ ok です。

LTC2053 のデータシートを読むと、REF 端子にオフセット電圧を与える事で出力電圧をオフセット出来そうです。 その辺をケアしてあげると、以下のような回路になります。



電流モニタ部回路

## ・電圧モニタ部

電子負荷に掛かっている電圧を測定する事で、制御次第ですが設定値として電力( $P=I \times V$ )を指定したり、抵抗( $R=V \div I$ )を指定したりする事が出来ます。

電流一定の電子負荷は、負荷の電圧が変わってしまうと電力消費が変化してしまうし、同時に抵抗値が変化してしまう素子に見える訳ですが、ある一定の電力を消費させ続けるような用途や、抵抗値固定の負荷として使いたい場合には、電子負荷両端の電圧は重要な情報となります。

今回、最大印加電圧 30V or 300V の選択としました。

電圧を測るのは、単純に分圧して ADC の入力端子に与える方向を考えます。

### ★30V(Max)の場合

ADC の最大入力電圧は 2.048V でした。

$$30 \div 2.048 = 14.65[\text{倍}]$$

1/15 になっていれば良さそうです。

抵抗 2 本を直列にして、その比率で 1/15 を実現します。

$$G = (R2 \div (R1 \div R2))$$

$R1$  を  $14k[\Omega]$  ,  $R2$  を  $1k[\Omega]$  にすれば、1/15 になりそうですね。

でもちょっと待って下さい。これ、30V の時にどれだけ電流が流れるんでしょう。

$$I[A] = 30[V] / (14k[\Omega] + 1k[\Omega]) = 0.002 [A]$$

2mA 流れちゃいますね…。

仕様では、最小電流設定分解能 1mA としているのに、最小分解能の 200%もの電流がリークする事になっちゃいます。こりゃ駄目だ。という事で、 $R1$  を大きな値にしてみます。

例えば  $R1 = 10M[\Omega]$  とか。

手持ちで  $620k[\Omega]$  が有ったけど、これを  $R2$  に持って来るとどうだろう。

$$G = (620k[\Omega] \div (10M[\Omega] \div 620k[\Omega])) \div 17.13[\text{倍}]$$

まあまあ良いでしょうか。

このパラメータだと、リーク電流はどうでしょう。…2.8uA 程度となります。大丈夫そうですね。

入力端子の電圧が、17.13 倍小さくなって出てくる訳ですが ADC の最小分解能に相当する入力端子電圧はどうなるでしょうか。

$$V_{in} = 2.048[V] \div (2^{23}-1) \times 17.13[\text{倍}] \div 4.18uV/LSB$$

100uV/Step という仕様は余裕で満足出来そうです。

//-----

Title : 電子負荷の製作(設計編) // 書いたひと : @cronos\_sv

mail : cronos@cronos.ne.jp / blog : <http://www.cronos.ne.jp/wordpress/>

#### ★300V(Max)の場合

集める部品はなるべく減らしたいので  $R1 = 10\text{M}[\Omega]$  を固定して考えてみます。300V の時は 146.5[倍]以上小さくする必要があります。試しに  $R2$  を、30V の時の 1/10 にしてみます。

$$G = (62\text{k}[\Omega] \div (10\text{M}[\Omega] \div 62\text{k}[\Omega])) \div 162.29 [\text{倍}]$$

$$V_{in} = 2.048[\text{V}] \div (2^{23}-1) \times 162.29[\text{倍}] \div 39.6\mu\text{V/LSB}$$

こちらでも、仕様は余裕で満足出来そうですね。

### 3.4：設計(基板パターン)

さて、やっとパターン設計です。

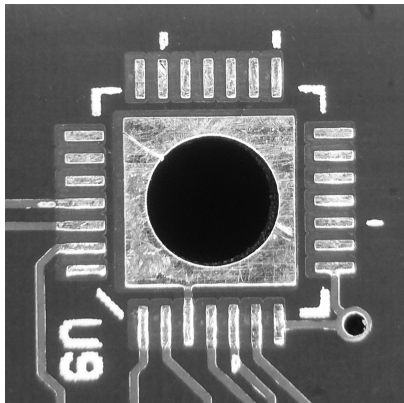
基板を起こす時、お仕事だとケースデザインと機能仕様、実装率から何平方 mm 必要か、それはケース内に配置可能か… とかやるんですが、今回は熱量が大きい半導体の放熱のため、ケースは大きくなるでしょうから、基板のサイズをギリギリまで絞るよりも作りやすさを優先してみました。

基板サイズ：50 x 100 [mm] 層数：2 層

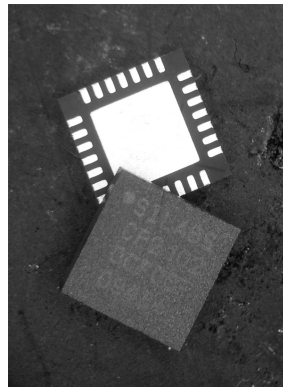
基板厚：1.6mm 表面処理：半田レベラ処理

基板パターンを設計するにあたって必要なのは、信号の流れに沿って部品を並べましょう。という位なので、それはざっくり省略しちゃいます。

今回はマイコン、USB-シリアル変換 IC に QFN パッケージのデバイスを採用しました。このパッケージは、パッケージの腹にハンダ付けしなければならないパッドがあるので、基板裏からハンダ付け出来るように中央部に大きいスルーホールを開けます。



PCB 側。



デバイス側。

//-----

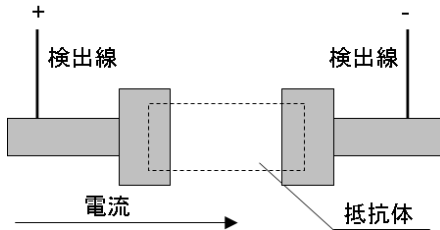
Title：電子負荷の製作(設計編) // 書いたひと：@cronos\_sv

mail：cronos@cronos.ne.jp / blog：http://www.cronos.ne.jp/wordpress/

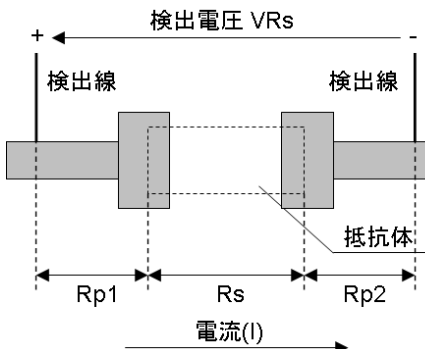
最後に配線テクニックを1つ紹介したいと思います。

★電流検出抵抗からの検出ラインの引き方

これは案外知らない方が多いのですが、表面実装の電流検出抵抗に電流を流す配線と、電流をモニタするための配線は、少しでも重なってはいけません。



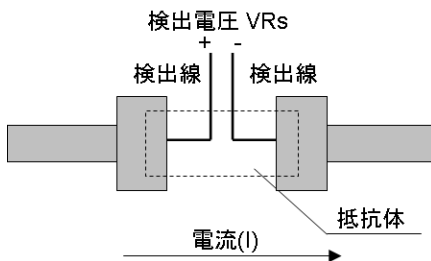
左図は、よくある基板上の配線風景(イメージ)です。  
…これ、どこに問題があるかわかりますか？



電流検出用に用意した抵抗体の抵抗値( $R_s$ )に、銅パターンによる余計な抵抗成分( $R_{p1} + R_{p2}$ )が乗ってしまう点に問題があります。

$VR_s = I \times R_s$  が理想の所、  
 $VR_s = I \times (R_s + R_{p1} + R_{p2})$  となり、検出電圧に誤差が発生します。

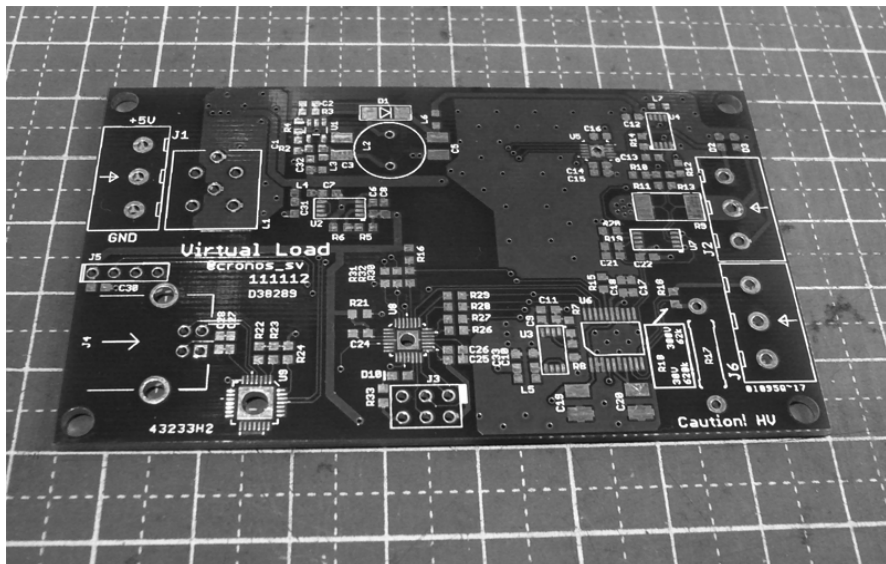
どれだけの誤差が出るかは、パターンの太さ、 $R_s$  の値等によって計算出来ませんが、そもそもパターン配置を工夫して誤差が出ないように出来れば、この誤差は考えなくても良いですね。



検出線を、抵抗の乗るパッドの中央から引き出す事で、電流が流れる経路を避けて検出線を配置する事が出来ます。これなら、例えば  $6[m\Omega]$  の電流検出抵抗でも誤差は非常に小さく抑える事が出来ます。なお、検出線は2本を極力近づけて配線する事が

必要です。これは磁界による誘導の影響で、検出線の片方だけに起電力が発生してしまう問題を避ける目的があります。なので、線はなるべく近い方がよいのです。そして可能な限り短くね。

### 3.5：実際に設計した基板



…実装はこれからです (^\_^;

## 4. あとがき

…説明が得意ではない事を自分自身よく知っています。何が何だか分からない部分があったかも知れません。その時はごめんなさい。

何かと電源回路の設計・試作を行う事が多く、自分で作った電源の評価をするために、負荷として抵抗を取っ替え引っ替えやっていたのですが、出力電力が大きくなり、それも難しくなってきた…という事で、そろそろ電子負荷を作ろうかなと思い立ったのが、今回のプロジェクトの出発点だったりしています。

やっぱ自分の作りたいものを作るのが一番ですよな (^\_^



穴埋め的な…(汗

//-----  
Title：電子負荷の製作(設計編) // 書いたひと：@cronos\_sv  
mail：cronos@cronos.ne.jp / blog：http://www.cronos.ne.jp/wordpress/